

KOREAN PATENT ABSTRACT (KR)

REGISTRATION

(51) IPC Code: H01L21/328

(11) Publication No.: 2001-0051482

(43) Publication Date: 25 June 2001

(21) Application No.: 10-2000-0065750

(22) Application Date: 7 November 2000

(71) Applicant:

International Business Machines Corp.

(54) Title of the Invention:

Method of manufacturing epitaxial bipolar BiCMOS device

Abstract:

Provided is a method of manufacturing a BiCMOS integrated circuit, including forming a first portion of a bipolar device in a first region of a substrate; forming a first protective layer on the first region to protect the first portion of the bipolar device; forming a MOSFET in a second region of the substrate; forming a second protective layer on the second region of the substrate to protect the MOSFET; removing the first protective layer; forming a second portion of the bipolar device in the first region of the substrate; and removing the second protective layer.

AL

특 2001-0051482

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/32B(11) 공개번호 특 2001-0051482
(43) 공개일자 2001년 06월 25일

(21) 출원번호	10-2000-0065750
(22) 출원일자	2000년 11월 07일
(30) 우선권주장	9/439,067 1999년 11월 12일 미국(US)
(71) 출원인	인터넷셔널 비지네스 마신즈 코포레이션 포만 제프리 웰 미국 10504 뉴욕주 아몬크 플바우더글라스다.
(72) 발명자	미국버몬트주0545201섹스정선세이지씨 블21 던제임스에스 미국버몬트주05465제리조 오르로드75 게이스피터제이 미국버몬트주05489언더힐포커힐로드601 그레이아피터비 미국버몬트주0545201섹스정선잭슨하이츠17 하레임데이빗엘 미국버몬트주0545201섹스정선잭슨하이츠17 스코넨베르그캐서린티 미국코네티컷주06812뉴페어필드스테이트루트37159 스톤게스테펜에이 미국버몬트주05446콜쉐스터푸어팜로드94 서비안나세사드리 미국뉴욕주10509부루스터코벤트리레인105 (74) 대리인 김성택, 허정훈

설사경구 : 있음

(54) 에피택셜 바이폴라 B I C M O S 소자의 제조 방법

요약

본 발명에 따른 BICMOS 집적 회로의 제조 방법은, (a) 바이폴라 소자의 제1 부분을 기판의 제1 영역 내에 형성하는 단계와; (b) 상기 바이폴라 소자의 제1 부분을 보호하기 위하여 상기 제1 영역 위에 제1 보호층을 형성하는 단계와; (c) 전계 효과 트랜지스터 소자를 상기 기판의 제2 영역 내에 형성하는 단계와; (d) 상기 전계 효과 트랜지스터 소자를 보호하기 위하여 상기 기판의 제2 영역 위에 제2 보호층을 형성하는 단계와; (e) 상기 제1 보호층을 제거하는 단계와; (f) 상기 바이폴라 소자의 제2 부분을 상기 기판의 제1 영역 내에 형성하는 단계와; (g) 상기 제2 보호층을 제거하는 단계를 포함하는 것을 특징으로 한다.

표

도

영세사

도면의 간접적 설명

도 1은 본 발명에 사용되는 각 처리 단계를 포함하는 집적화 공정을 예시하는 흐름도.

도 2a 내지 도 2b는 본 발명의 방법을 사용하여 제조된 바이폴라 소자 및 NMOS 소자를 동일 기판 상에 나타낸 측면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : P형 기판

12 : N형 매립층

- 14 : N형 에피택셜층
- 16, 24 : 마스킹층
- 32 : 제1 보호층
- 50 : 제2 보호층
- 60 : 패시베이션층
- 62 : 유전체층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 집적 회로를 제조하는 방법, 특히 전계 효과 트랜지스터(FET; Field Effect Transistor) 및 바이폴라 소자를 동일 기판 상에 형성하는 방법에 관한 것이다. 보다 구체적으로, 본 발명은 종래 기술의 집적화 풍정과 통상 관련된 문제를 해결하는 게이트·베이스 순차 처리(base-after gate process; 게이트가 처리된 후 베이스가 처리되는 것을 의미한다)형 BICMOS(즉, 바이폴라 소자 및 상보형 금속 산화물 반도체(CMOS; complementary metal oxide semiconductor) 소자) 집적 회로를 제조할 수 있는 집적화 방법에 관한 것이다.

반도체 소자의 제조 분야에 있어서는, 소위 게이트·베이스 동시 처리(base-during gate process; 게이트의 처리 중에 베이스가 동시에 처리되는 것을 의미한다) 방식을 사용하여 BICMOS 집적 회로를 제조하는 방법이 공지되어 있다. 게이트·베이스 동시 처리 방식에 대해서는, 예컨대 허레임(D. L. Harame) 등에 의한 문헌("Si/SiGe Epitaxial Base Transistors-Part I: Materials Physics and Circuits", IEEE Trans. Elect. Devices, 469~482 페이지, 1995년 3월); 허레임(D. L. Harame) 등에 의한 문헌("Si/SiGe Epitaxial Base Transistors-Part II: Process Integration and Analog Applications", IEEE Trans. Elect. Devices, 469~482 페이지, 1995년 3월); 및 알그렌(D. Ahlgren) 등에 의한 문헌("A SiGe HBT BICMOS Technology for Mixed Signal RF Applications", Proc. of the 1997 BCTM, 195~197 페이지, 1997년)에 개시되어 있다. 이와 같은 게이트·베이스 동시 처리 방식에 있어서, 게이트 폴리실리콘은 베이스에 에피택셜 실리콘의 성장됨에 따라서 이와 동시에 형성된다.

BICMOS 집적 회로를 제조하는 또 다른 방법으로는 게이트·베이스 순차 처리(base-after gate process) 방식이 사용되고 있다. 이러한 게이트·베이스 순차 처리 방식에 있어서, 게이트 폴리실리콘은 베이스에 에피택셜 실리콘이 성장되기 전에 형성된다. 이와 같은 게이트·베이스 순차 처리 방식은, 예컨대 앤모(Anmo)에게 허여된 미국 특허 제5,665,615호 및 기무라(Kimura)에게 허여된 미국 특허 제5,665,616호에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

이와 같은 종래의 게이트·베이스 동시 처리 및 게이트·베이스 순차 처리 방식의 사용시에는 몇 가지 문제점을, 즉, (a) CMOS 소스/드레인(S/D) 및 LD(Lightly Doped Drain)를 어닐링하는 동안 베이스 초과 확산을 제어하는 문제, (b) 베이스 성장을 위한 고품질의 에피택셜 표면을 제공하는 방법의 문제, (c) 바이폴라 소자의 형성 중에 CMOS 소자를 보호하는 방법의 문제 등이 제기되고 있다. 게이트·베이스 순차 처리의 집적화 방식이 사용되는 경우, 다음과 같은 2개의 추가적인 제조상의 필요 조건이 고려되어야만 하는데, 그 첫번째 조건은 바이폴라 소자 상에는 FET 소페이지 구조가 제공되어서는 않되며, 두번째 조건으로는 FET 소자의 제조 후에 이 FET 소자 상에는 바이폴라막이 잔류해서는 않된다.

종래의 BICMOS 제조용 집적화 방식과 관련된 전술한 문제점들을 고려하여, 전술한 모든 문제점 및 필요 조건을 충족시킬 수 있는 신규의 개량된 게이트·베이스 순차 처리의 집적화 방식을 개발하는 것이 꿈寐 없이 요구되고 있다.

본 발명의 제1 목적은 FET 및 바이폴라 소자가 동일 기판 상에 제조된 BICMOS 집적 회로를 제조하는 방법을 제공하는 데에 있다.

본 발명의 제2 목적은 바이폴라 소자의 형성 중에 CMOS 소자에는 어떠한 열적 제한도 부과되지 않는 집적화 방식을 사용하여 BICMOS 집적 회로를 제조하는 방법을 제공하는 데에 있다.

본 발명의 제3 목적은 베이스 성장을 위한 고품질의 에피택셜 표면이 제공되는 방법을 제공하는 데에 있다.

본 발명에 따른 다른 추가의 목적은 바이폴라 소자의 형성 중에 CMOS 소자가 보호되는 BICMOS 소자 및 그 반대의 BICMOS 소자를 제조하는 방법을 제공하는 데에 있다.

본 발명의 또 다른 목적은 바이폴라막이 FET 소자 상에 잔류하지 않는 BICMOS 소자를 제조하는 방법을 제공하는 데에 있다.

발명의 구성 및 작동

본 발명의 전술한 목적과 또 다른 목적 및 그에 따른 이점은 기판 상에 바이폴라 소자의 일부분을 형성하고, FET 소자를 형성하는 동안 상기 바이폴라 소자의 일부분을 보호층으로 보호하며, 상기 바이폴라 소자와 다른 부분을 형성하는 동안 상기 FET 소자를 보호하도록 함으로써 실현될 수 있다.

특히, 본 발명의 BICMOS 집적 회로의 제조 방법은, (a) 바이폴라 소자의 제1 부분을 기판의 제1 영역 내에 형성하는 단계와; (b) 상기 바이폴라 소자의 제1 부분을 보호하기 위하여 상기 제1 영역 위에 제1 보호층을 형성하는 단계와; (c) 전계 효과 트랜지스터 소자를 상기 기판의 제2 영역 내에 형성하는 단계와; (d) 상기 전계 효과 트랜지스터 소자를 보호하기 위하여 상기 기판의 제2 영역 위에 제2 보호층을 형성하는 단계와; (e) 상기 제1 보호층을 제거하는 단계와; (f) 상기 바이폴라 소자의 제2 부분을 상기 기판의 제1 영역 내에 형성하는 단계와; (g) 상기 제2 보호층을 제거하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 일실시예에 있어서, 제2 보호층의 일부분은 상기 바이폴라 소자의 일부분을 덮는 구조를 내에 갖는다. 본 발명의 다른 실시예에 있어서, BICMOS 집적 회로의 제조 흐름에 상기 제1 보호층의 일부분은 상기 FET 소자 위에 잔류하거나 또는 상기 구조를 내에는 상기 제1 및 제2 보호층의 일부분이 잔류되어 있다.

이하, 본원 명세서의 첨부 도면을 참조하여 게이트·베이스 순차 처리(base-after gate processing) 방식을 사용하여 본 발명에 따른 BICMOS 집적 회로의 제조 방법에 대하여 상세히 설명한다. 다수의 첨부 도면 중에서 대응하는 구성 요소에는 동일한 참조 부호를 부여해서 나타내고 있다.

먼저, 도 1을 참조하면, 도 1은 본 발명의 집적화 공정의 기본적인 처리 단계를 예시하는 흐름도이다. 이 흐름도에 도시된 각 단계는 도 2a~도 2n를 참조하여 이하에서 보다 상세히 설명할 것이다.

도 2a~도 2n이 고려될 수 있는 범위에 있어서, 이를 도면들은 바이폴라 소자 및 NMOS 소자를 포함한 BICMOS 구조의 제조시에 본 발명에서 사용되는 각각의 처리 단계를 도시하는 단면이다. NMOS 소자를 도사 및 예시하고 있지만, 본 발명은 PMOS 소자의 제조시에도 사용될 수 있다. PMOS 소자가 형성된 실시예에 있어서는, 바이폴라 소자의 완성 후에 소스/드레인 영역이 형성되는 점을 제외하면 이하에서 개시되는 바와 같은 동일한 시퀀스의 처리 단계가 사용되고 있다.

전술한 바와 같이, 본 발명의 제1 단계는 바이폴라 소자의 제1 부분을 기판의 제1 영역에 형성하는 단계를 수반한다. 이와 같은 본 발명의 제1 단계는 도 2a(도 1의 단계 1에 대응함)에 도시되어 있다. 특히, 도 2a에 도시된 구조는 P형 기판(10), N형 매립층(12), N형 에피택슬층(14) 및 패터닝·마스킹층(16)을 포함하고 있다. 상기 N형 매립층(12)은 바이폴라 소자의 서브렉터 영역이 된다.

도 2a에 도시된 구조는 당업계에는 잘 알려진 증래의 바이폴라 처리 단계를 이용해서 제조되고 있다. 또한, 이러한 동일 구조의 제조시에는 증래의 재료가 사용된다. 예컨대, 기판은 Si, Ge, SiGe, GaAs, InAs, InP 및 III/V 측의 다른 모든 반도체 화합물을 포함하는 일의 반도체 재료로 구성되지만, 이와 같은 반도체 화합물을 제한되지는 않는다. 본원 명세서에서도 동일한 반도체 재료 또는 상이한 반도체 재료(예컨대, Si/SiGe)를 포함하는 적층된 기판이 광범위하고 있다. 이를 반도체 재료 중에서, Si로 구성된 기판이 바람직스럽다. 본원 명세서에서는 4형 도핑된 기판이 도시되고 있지만, 5형 도핑된 기판이 고려될 수도 있다.

특히, 도 2a에 도시된 구조는 다음과 같이 제조될 수 있다. 산화막(예컨대, SiO₂)(도면에는 도시 생략됨)은 화학 증착법(CVD), 플라즈마 강화 CVD 또는 스퍼터링과 같은 증래의 증착법을 이용하여 P형 기판(10)의 표면 위에 형성되거나 또는 별법으로서 상기 산화막층은 열적으로 성장되고 있다. N형 매립층은 증래의 미온 주입 단계에 의해 상기 기판 내에 형성되고 있다. 상기 N형 매립층은 증래의 어닐링[급속 열적 어닐링(RTA; rapid thermal anneal) 또는 오븐 어닐링(oven anneal)]을 사용함으로써 등작되고, 이어서 N형 에피택슬층이 증래의 에피택슬 성장법을 이용해서 형성된다. 다음에, 마스킹층(예컨대, SiN_x)(16)은 CVD와 같은 증래의 증착법을 이용하여 N형 에피택슬층의 표면 위에 형성되고, 증래의 리소그래피 및 에칭(활성 미온 에칭(RIE)) 처리에 의해 패터닝된다.

전술한 처리 단계들은 도 2a에 도시된 구조의 형성으로 유도된다. 본원 명세서의 도면에는 NMOS 소자가 제조되는 영역과 바이폴라 소자가 제조되는 영역을 나타내는 리밸을 포함하고 있다. 도면에는 비록 하나의 NMOS 소자 영역 및 하나의 바이폴라 소자 영역만이 도시되고 있지만, 본 발명에 따른 BICMOS 집적 회로의 제조 방법은 일의의 다수의 NMOS 소자 영역 및 바이폴라 소자 영역을 사용하여 형성될 수도 있다. 또한, NMOS, PMOS 및 바이폴라 소자를 포함한 BICMOS 집적 회로의 구조 또는 PMOS 및 바이폴라 소자를 포함한 BICMOS 집적 회로의 구조를 형성할 수도 있다.

패터닝된 마스킹층은 바이폴라 소자에 대한 깊은 트렌치 절연 영역(18)을 예칭하기 위해 본 발명에서 사용되고 있다. 깊은 트렌치 절연 영역은 도 2b(도 1의 단계 2에 대응함)에 도시되어 있다. 특히, 이러한 깊은 트렌치 절연 영역은 RIE 또는 플라즈마 에칭과 같은 증래의 건식 예칭법을 이용하여 집적 회로 구조의 트렌치를 예칭함으로써 형성된다. 상기 깊은 트렌치는 증래의 깊은 트렌치 라이너 재료(예컨대, 산화물)(20)(20)로 라인을 따라 구획되고, 이어서 이 깊은 트렌치를 폴리실리콘 또는 기타의 유전체 재료(22)로 채우기 위해서 CVD 또는 기타의 증착법이 사용되고 있다. 도 2b에 도시된 평면 구조를 제공하기 위해서는 화학 기계적 연마(CMP)와 같은 증래의 평탄화 공정이 사용되고 있다.

다음에, 도 1의 단계 3에 나타낸 바와 같이, CMOS 소자 및 바이폴라 소자에 대한 얇은 트렌치 절연(STI) 영역 및 바이폴라 소자에 대한 험렉터 리치 수루(collector reach-through)는 도 2c에 도시된 구조 내에 형성되고 있다. 이러한 처리 단계들은 본원 명세서의 도 2a~도 2b에 예시되어 있다. 특히, 도 2c에 도시된 바와 같이, 마스킹층(24)은 CVD와 같은 증래의 증착법을 이용하는 구조의 표면 위에 형성된다. 이 마스킹층은 이전의 마스킹층과 동일한 재료 또는 상이한 재료로 구성될 수 있다. 마스킹층(24)은 패터닝되고, 얇은 트렌치 영역(26)은 도 2b에 도시된 구조 제공하는 마스킹층(24)의 노출된 부분을 통해 예칭된다.

얇은 트렌치 영역은 얇은 트렌치 절연(STI) 영역(28)(도 2e 참조)을 제공할 수 있는 이 기술 분야에 통상의 지식을 가진 당업자에게는 공지된 증래의 방법의 영향을 받는다. 이 방법은 STI 유전체 충전 단계 및 평탄화 단계를 포함한다. 선택적인 사방으로서, 이 STI의 처리 과정은 얇은 트렌치의 STI 유전체 충전 내에 라이너(liner)를 형성하는 단계와, 상기 STI 유전체의 밀도를 높이는 단계를 포함한다.

미러한 STI 영역의 완성 후에, 서브렉터(12)용 리치 수루 영역(또는 험렉터)(30)은 동일하게 형성 가능하다.

한 증래의 처리 과정을 이용하여 바이폴라 소자 영역 내에 형성된다. 이것은 이온 주입 및 어닐링 단계를 포함한다. 도 21에는 STI 및 리치 스루 형성 후에 형성되는 구조가 도시되어 있다.

다음에, 도 1의 단계 4에 도시된 바와 같이, 제1 보호층은 바이폴라 소자 영역의 일부분 위에 형성된다. 특히, 도 2에 도시된 바와 같이, 제1 보호층(32)은 바이폴라 소자의 형성 시에 N형 에피택셜층(14)(깊은 트렌치를 오버랩하는 부분)위에 형성된다. 본 발명에서 바이폴라 소자 영역을 보호하기 위해서 사용된 보호층의 1 가지 형태는 Si_xN_y 층을 포함하고 있다. 이 Si_xN_y 층은 통상적으로 그 두께가 약 10A 내지 1000Å이고, 바람직하게는 약 500Å 내지 800Å의 두께를 갖는다. 상기 Si_xN_y 층은 임의의 증래의 증착법을 사용해서 형성될 수 있으며, 바람직하게는 저압의 CVD법이 사용되고 있다. 본 발명은 예전의 제조시에 바이폴라 소자 영역을 보호할 수 있는 전술한 Si_xN_y 층 이외의 다른 보호 재료의 사용을 고려할 수도 있다.

상기 바이폴라 소자 영역의 일부분을 보호층에 의해 보호한 후, 바이폴라 소자 영역의 완성 후에 발생하는 PFET 소스/드레인 영역을 제외하고 FET 소자는 완벽하게 제조된다(도 1의 단계 5 참조).

상기 FET 소자는 트랜지스터 소자를 제조할 수 있는 증래의 처리 단계를 이용하여 형성된다. 증래의 트랜지스터 처리 단계에는 pFET 포토리소그래피(photolithography; 사진평판)용 N형 영역, N형 주입, pFET 박막 산화물 테일러 주입, nFET 포토리소그래피용 P형 영역, P형 주입, nFET 박막 산화물 테일러 주입, 이중 게이트 산화물 포토리소그래피, 이중 게이트 산화물 재성장, FET 게이트 포토리소그래피, FET 게이트 에칭, 열적 산화물 스페이서 형성, nFET 확장 포토리소그래피, nFET 확장 주입(쉽게 도핑된 드레인(LDD)), 제1 스페이서 형성, pFET 확장 포토리소그래피, pFET 확장(LDD), 제2 스페이서 증착, 제2 스페이서 에칭, nFET S/D 주입 포토리소그래피, nFET S/D 어닐링을 포함한다.

이러한 트랜지스터 처리 단계들은 FET 소자를 도 2에 도시된 구조 내에 형성한다. 특히, 상기 FET 소자는 P형 영역(36), S/D 영역(38), S/D 확장부(40), 게이트 영역(게이트 및 게이트 산화물)(44) 및 스페이서(46)를 포함한다. 도면에 도시된 스페이서는 기판상에 형성된 수평층 및 게이트 영역의 측벽 상에 형성된 각종 층들을 포함한다.

다음에, 도 1의 단계 6에 도시된 바와 같이, 제2 보호층(50)은 도 2에 도시된 구조를 제공하는 도 2에 도시된 구조 위에 형성된다. 특히, 상기 제2 보호층은 상기 FET 소자 및 상기 바이폴라 소자의 리치 층을 영역 위에 형성된다. 제2 보호층(50)은 단일 적층 재료로 구성되거나 또는 동일한 재료나 상이한 재료의 다중층인 제2 보호층(50)으로서 사용될 수도 있는데, 예를 들어 상기 제2 보호층은 산화물층 및 폴리실리콘층으로 구성될 수도 있다. 설명의 편의상, 본원 명세서에서는 단일 보호층 또는 다중 보호층을 공통적으로 참조 부호 "50"으로서 사용한다.

바이폴라 소자를 완성하는 동안 FET 소자를 보호할 수 있는 임의의 재료 또는 그 재료들이 본 발명에서 사용될 수 있으며, 임의의 풍진된 증착법이 동일 구조의 층(다중층)을 형성하는 데에 사용될 수 있다. 본원 발명에 있어서, 제2 보호층은 플라즈마 강화 CVD법에 의해 증착되는 산화물로 구성되는 것이 바람직스럽다. 제2 보호층의 두께는 변화될 수 있지만, 제2 보호층의 두께는 통상 약 100A 내지 500A이고, 바람직하게는 약 150A 내지 250A의 두께를 갖는다.

상기 구조의 FET 소자를 제2 보호층에 의해 보호한 후, 바이폴라 소자는 이 바이폴라 소자의 제조를 완성 할 수 있는 증래의 처리 단계를 이용하여 완성된다.(도 2j 참조). 이러한 처리 단계들은 제2 보호층을 오버레이하는 추가의 막을 생성한다. 특히, 바이폴라 소자는 에피택셜 베이스를 성장사킴으로써 완성되고, 이어서 바이폴라 소자 위에 임의의 바이폴라 에미터 소자를 형성한다. 본 발명에서 고려되는 바이폴라 소자는 비정렬되거나 자체 정렬될 수 있다. 바이폴라 소자를 형성하는 데에 본 발명에서 사용될 수 있는 하나님의 바람직한 방법은, 컬렉터 영역(12)의 일부분을 뒤는 제2 보호층(50) 및 제1 보호층(32)을 통해 바이폴라 원도우를 예정하는 단계와, 살기 바이폴라 원도우, 외부 베이스층, 제2 컬렉터 주입, 한정 에미터 폴리실리콘 및 외부 베이스 폴리실리콘 내에 에미터 페디스를 SiGe를 형성하는 단계를 포함한다. 전술한 방법이 바이폴라 소자를 형성하는 데에 본 발명에서 사용될 수 있는 한가지 기술을 나타내는 것임을 다시 강조하고 있다. 바이폴라 소자를 형성하는 데 기술 분야에서 공시된 다른 기술들을 본 발명에서 사용하는 것도 가능하다.

미와 같은 처리 단계들은 도 2에 도시된 구조에 나타내는 바와 같다. 특히, 도 2j는 N형 층(52), P형 폴리실리콘층(54)[이 P형 폴리실리콘층은 도 2의 참조 번호(54b)가 바이폴라 소자 위에 형성된 P형 폴리실리콘을 나타내는 것을 의미한다] 및 N형 폴리실리콘층(56)을 포함하는 도 2의 구조를 구비하는데, 여기서 상기 층(52, 54, 54b, 56)들은 완성된 바이폴라 소자를 형성한다. 원도우를 예정하는 동안 상기 제1 보호층의 실질적인 모든 부분이 상기 구조로부터 제거되는 것에 주목한다. 본 발명의 일실시예에 있어서, 상기 구조의 바이폴라 소자 영역에는 제1 보호층의 일부만이 잔류되어 있다.

다음에, 도 1의 단계 7에 나타낸 바와 같이, 바이폴라 소자의 일부분(54)과 제2 보호층의 모든 부분은 하부 구조를 침범함이 없이 이를 2개의 층들의 제거시에 과도하게 선택되는 증래의 예정법을 이용하여 상기 구조로부터 제거된다. 만일 PFET가 사전에 형성되어 있는 경우, PFET S/D 영역은 증래의 주입 및 활성화 어닐링에 의해 전술한 각 단계에 따라서 형성된다. 이를 처리 단계는 도 2k에 도시된 구조를 생성한다.

이 도면은 도 2가 상기 구조로부터 제2 보호층의 실질적인 모든 부분의 제거를 나타내고 있지만, 본 발명은 바이폴라 소자의 컬렉터 영역에 걸쳐서 제2 보호층의 일부분을 잔류시키는 것이 고려되고 있다.

도 1의 단계 8에 나타낸 바와 같이, S/D 주입 및 게이트와 바이폴라 소자의 컬렉터 및 베이스 영역 위에는 금속 폴리실리콘 접촉부(58)가 형성되어 있다(도 2l 참조). 그 접촉부는 접촉 영역이 형성 가능한 미 기술 분야에 풍진된 증래의 처리 단계를 이용해서 형성된다. 이러한 접촉부 형성 처리 단계는 저항 규화 를 블록 마스크, Ti 증착 및 Ti 어닐링을 포함하고 있다.

다음에, 도 1의 단계 9 및 도 2에 도시된 바와 같이, 패시베이션층(60) 및 유전체층(62)은 FET 및 바이폴라 소자 위에 형성되고, 이를 층을 통해 금속 폴리실리콘 접촉부(58)에, 금속 비어 또는 접촉 스터드(64)가 형성된다. 증래의 증착법은 상기 패시베이션층 및 유전체층을 형성하는 데에 사용되며, 증

래의 사진석판 및 예형에 의해 접촉 개구가 형성된다. 접촉 개구는 증래의 증착법을 이용해서 충전되며, 필요한 경우 증래의 평탄화 공정이 사용된다.

Si,N_x 또는 폴리아미드와 같은 증래의 임의의 패시베이션 재료는 패시베이션층(80)을 형성하는 데에 사용되고, SiO_x 또는 Si,N_x 와 같은 증래의 임의의 유전체 재료는 유전체층(62)을 형성하는 데에 사용된다. 접촉 스터드가 고려되는 범위 내에서, Ti, TiN, Cu, Cr 및 Pt와 같은 증래의 임의의 도전성 금속이 본 발명에 사용될 수 있다.

전술한 바람직한 실시예에서는 SiGe 바이폴라 소자를 이용한 것을 설명하고 있지만, 본 발명은 SiGe 바이폴라 소자로 제한되는 것은 아니며, 다른 에피택셜 소자를 포함할 수도 있다.

본 발명은 전술한 바람직한 실시예에 대하여 도시 및 개시하고 있지만, 당업자라면 본원 발명의 기술적 사상 및 범위를 미달함이 없이 다양한 변형 및 수정이 가능함을 이해할 수 있을 것이다. 따라서, 본 발명은 전술한 실시예의 설명으로 제한되지 않고 이하의 첨부된 특허 청구의 범위의 범위에 영향을 받는다.

발명의 요점

본 발명에 따르면, 기판 상에 바이폴라 소자의 일부분을 형성하고 FET 소자를 형성하는 동안 바이폴라 소자의 일부분을 보호하여 바이폴라 소자의 다른 부분을 형성하는 동안 FET 소자를 보호함으로써, FET 및 바이폴라 소자를 동일 기판 상에 제조 가능하며, 베이스 설정을 위한 고증질의 에피택셜 표면을 제공할 수 있고, 바이폴라 소자의 형성 중에 CMOS 소자를 보호함과 동시에, CMOS 소자의 형성 중에 바이폴라 소자를 보호할 수 있는 BICMOS 접착 회로의 제조 방법을 실현할 수 있는 효과를 갖는다.

(I) 청구의 쟁취

청구항 1. BICMOS 접착 회로를 제조하는 방법에 있어서,

- (a) 바이폴라 소자의 제1 부분을 기판의 제1 영역 내에 형성하는 단계와;
- (b) 상기 바이폴라 소자의 제1 부분을 보호하기 위하여 상기 제1 영역 위에 제1 보호층을 형성하는 단계와;
- (c) 전계 효과 트랜지스터 소자를 상기 기판의 제2 영역 내에 형성하는 단계와;
- (d) 상기 전계 효과 트랜지스터 소자를 보호하기 위하여 상기 기판의 제2 영역 위에 제2 보호층을 형성하는 단계와;
- (e) 상기 제1 보호층을 제거하는 단계와;
- (f) 상기 바이폴라 소자의 제2 부분을 상기 기판의 제1 영역 내에 형성하는 단계와;
- (g) 상기 제2 보호층을 제거하여 상기 전계 효과 트랜지스터 소자를 노출시키는 단계를 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 2. 제1항에 있어서, 상기 노출된 전계 효과 트랜지스터 소자의 일부분 및 상기 바이폴라 소자의 일부분 상에 금속 폴리실리콘 접촉부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 3. 제2항에 있어서, 상기 노출된 전계 효과 트랜지스터 소자, 상기 바이폴라 소자 및 상기 금속 폴리실리콘 접촉부 상에 패시베이션층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 4. 제3항에 있어서, 상기 패시베이션층 상에 유전체층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 5. 제4항에 있어서, 상기 유전체층 및 상기 패시베이션층을 통해 상기 금속 폴리실리콘 접촉부에 접촉 스터드를 형성하는 단계를 더 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 6. 제1항에 있어서, 상기 바이폴라 소자의 제1 부분을 형성하는 단계(단계 a)는, 서브컬렉터 영역을 상기 기판 내에 공급하는 단계 및 에피택셜 실리콘을 상기 기판 상에 성장시키는 단계를 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 7. 제1항에 있어서, 상기 제1 보호층을 형성하는 단계(단계 b)는, 상기 기판 내의 트렌치를 에칭하는 단계, 상기 트렌치를 라이너 재료로 라이닝하는 단계, 상기 트렌치를 유전체 재료로 충전하는 단계 및 평탄화하는 단계를 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 8. 제1항에 있어서, 상기 제1 보호층은 Si,N_x 층을 포함하는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 9. 제8항에 있어서, 상기 Si,N_x 층은 저압 CVD에 의해 형성되는 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 10. 제8항에 있어서, 상기 Si,N_x 층의 두께는 약 10A 내지 1000A인 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 11. 제10항에 있어서, 상기 Si,N_x 층의 두께는 약 500A 내지 800A인 것을 특징으로 하는 BICMOS 접착 회로의 제조 방법.

청구항 12. 제1항에 있어서, 상기 전계 효과 트랜지스터 소자를 형성하는 단계(단계 c)는 웨 주입부, 소스/드레인 영역, 소스/드레인 확장부, 게이트 산화물 성장부 및 스페이서 생성부를 형성하는 단계를 포함하는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 13. 제1항에 있어서, 상기 제2 보호층은 산화물층 및 플리설리본층을 구비한 다층을 포함하는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 14. 제1항에 있어서, 상기 제2 보호층은 산화물로 구성된 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 15. 제1항에 있어서, 상기 산화물층은 플라즈마 강화 CVD로 형성된 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 16. 제1항에 있어서, 상기 제2 보호층의 두께는 약 100Å 내지 500Å인 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 17. 제1항에 있어서, 상기 제2 보호층의 두께는 약 150Å 내지 250Å인 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 18. 제1항에 있어서, 상기 바이폴라 소자의 제2 부분을 형성하는 단계(단계 f)는 바이폴라 원도 은 내에 에피택셜 베이스를 성장시키는 단계를 포함하는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 19. 제1항에 있어서, 상기 에피택셜 베이스는 SiGe인 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 20. 제1항에 있어서, 상기 전계 효과 트랜지스터 소자를 노출시키는 단계(단계 g)는 활성 이온 에칭 단계를 포함하는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 21. 제1항에 있어서, 상기 제1 보호층의 일부분은 제거되지 않는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 22. 제1항에 있어서, 상기 제2 보호층의 일부분은 제거되지 않는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

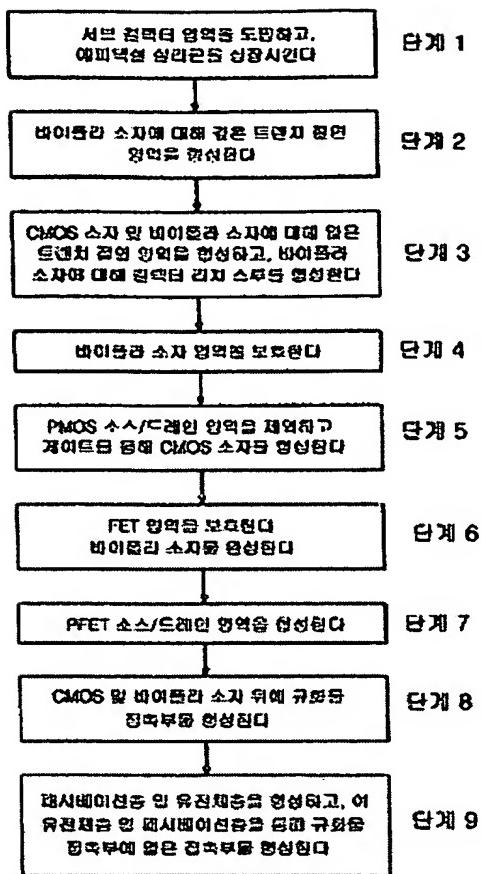
청구항 23. 제1항에 있어서, 상기 제1 보호층 및 제2 보호층의 일부분은 제거되지 않는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

청구항 24. 제1항에 있어서, 복수의 바이폴라 소자 및 전계 효과 트랜지스터 소자가 형성되는 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

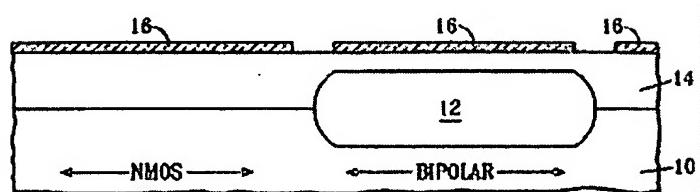
청구항 25. 제1항에 있어서, 상기 전계 효과 트랜지스터 소자는 pFET 또는 nFET인 것을 특징으로 하는 BICMOS 집적 회로의 제조 방법.

도면

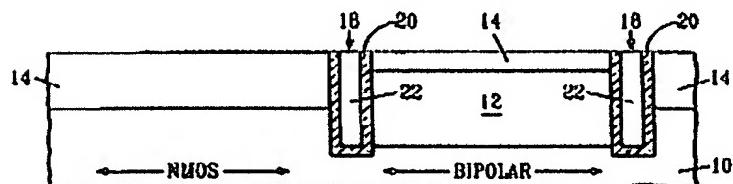
도면1

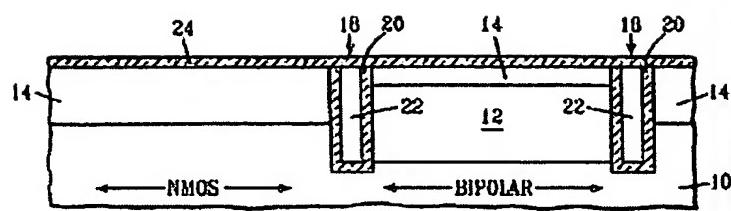
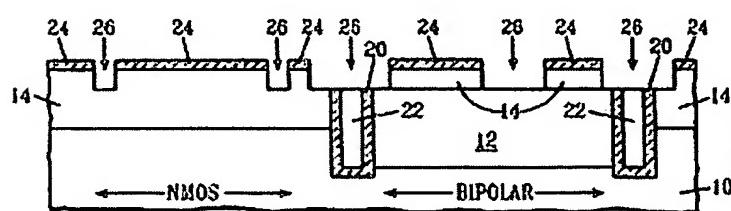
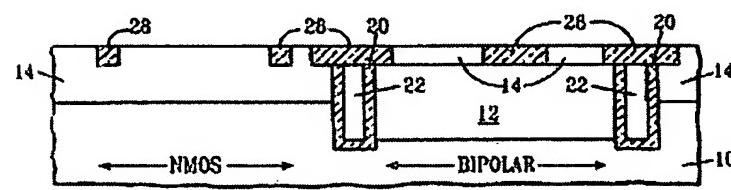
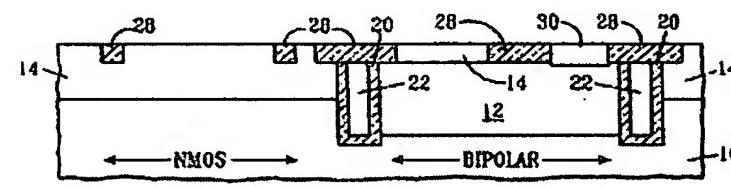
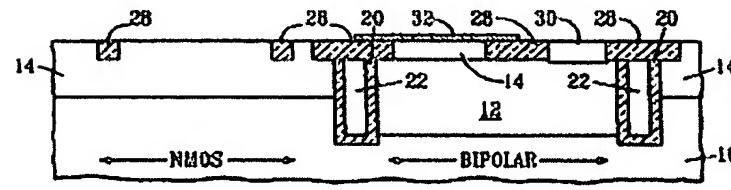


도면2

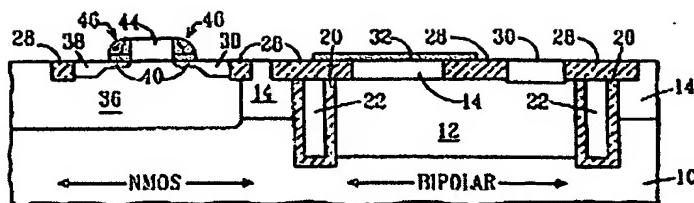


도면3

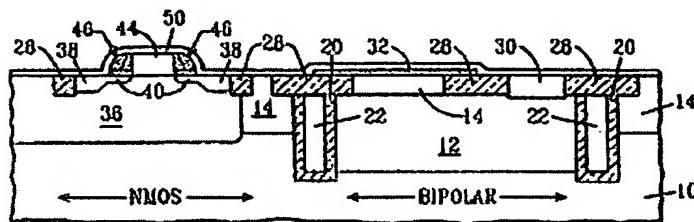


Step 1Step 2Step 3Step 4Step 5

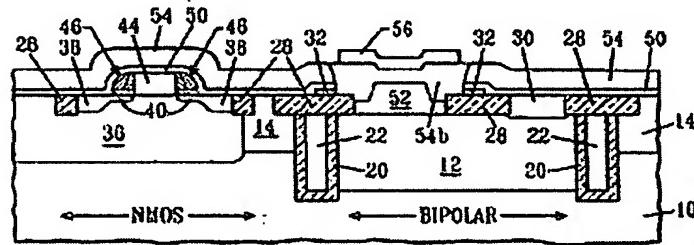
도면 5



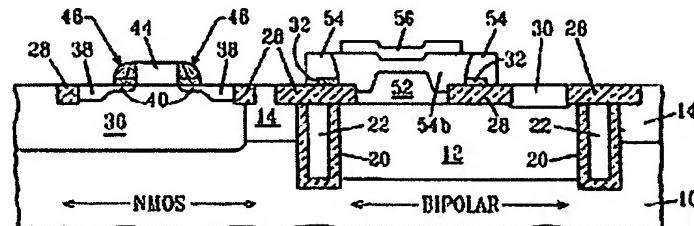
도면 6



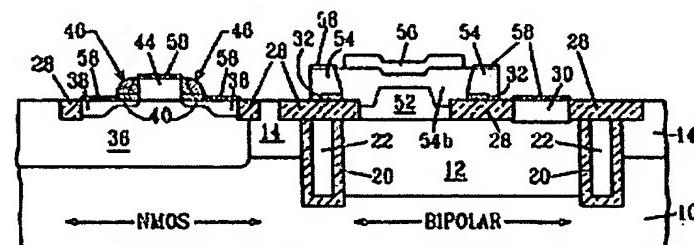
도면 7



도면 8



도면 9



502

